



Title of Invention: Synthesizing Process for Image Display Signal

Publication Number: Japanese Patent Application Laid-open

Sho 59 No. 128590

Publication Date: July 24, 1984

Priority Country: Japan

Application Number: Japanese Patent Application

Sho 58 No. 4820

Application Date: January 14, 1983

Applicant: K.K. Namco

Number of Other Applicants: (0)

Inventor: Tōru OGAWA Number of Other Inventors: (0)

Int. Cl³.: G09G 1/06; A63F 9/22; G06F 3/14

RECEIVED

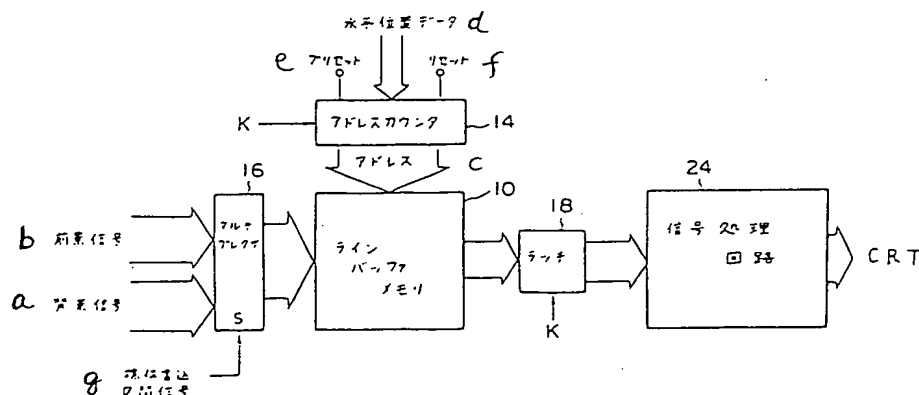
OCT 14 1999

GROUP 2700

Configuration: Fig.5 shows a block diagram of an apparatus utilized for operating a synthesizing process for an image display signal. In this apparatus, background signal a and foreground signal b are selected by multiplexer 16 in accordance with predetermined timing chart, then, input into line-buffer memory 10, and subsequently written as image information in sequence into predetermined address designated by means of address counter 14. Here, setting of the address c by the address counter 14 is done by horizontal position data d. Subsequently, the image information written into the line-buffer memory 10 is read out as operation starts and latched from addresses in sequence from the smallest numbered one in synchronism with raster image scanning of CRT by means of latch circuit, the image information is input as image display signal into signal processing circuit 24. The signal input into the signal processing circuit is subject to predetermined image processing, and subsequently displayed onto CRT. Here, switching between background write-in process and foreground write-in process is performed by preset switch e and reset switch f. In the process of Fig.5, the most significant feature is that the background signal a and the foreground signal b can be synthesized in the line-buffer memory 10. In this respect, writing-in of the background signal a as well as foreground signal b is performed in accordance with the following steps: firstly,

writing-in of the background signal a is carried out so that image information including background signal a as well as foreground signal b already written into each address of line-buffer memory 10 is read out and subsequently is output as image display signal, while background signals a to be displayed for each respective address in next horizontal scanning are sequentially written in, thus writing-in of the background signal a is carried out during reading out of image information from the line-buffer memory 10 and writing-in process of the background signal a. In these processes, the background signal a is selected by multiplexer 16 from sample write-in section signal g and is input into the line-buffer memory 10. Meanwhile, writing-in of the foreground signal b is carried out by foreground signal write-in process which writes predetermined respective signal into each necessary address of line-buffer memory 10 superimposed into the above-mentioned image information, after the above-mentioned image information read-out and background signal writing-in process. By repeating the aforementioned processes, synthesized information by superimposing the foreground signal b onto the background signal a is sequentially written-in on the line-buffer memory 10, and the image information is subsequently sequentially read out by following image information and read-out background information writing-in processes, and subsequently, image synthesized from background and foreground is displayed onto the CRT.

Fig. 5



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—128590

⑬ Int. Cl.³
G 09 G 1/06
A 63 F 9/22
G 06 F 3/14

識別記号

庁内整理番号
7923—5C
B 8102—2C
7060—5B

⑭ 公開 昭和59年(1984)7月24日

発明の数 1
審査請求 未請求

(全 12 頁)

⑮ 映像表示信号の合成方法

5号株式会社ナムコ内

⑯ 特 願 昭58—4820

⑰ 出 願 人 株式会社ナムコ

⑱ 出 願 昭58(1983)1月14日

東京都大田区多摩川2丁目8番
5号

⑲ 発 明 者 小川徹

⑳ 代 理 人 弁理士 吉田研二 外1名

東京都大田区多摩川2丁目8番

明 細 書

1. 発明の名称

映像表示信号の合成方法

2. 特許請求の範囲

(1) ラインバッファメモリの各番地に書込まれている背景信号及び前景信号を含む映像情報を読出し映像表示信号として出力するとともに当該番地毎に背景信号を順次書込みながらラインバッファメモリをアクセスする映像情報読出及び背景書込工程と、

所定の前景信号をラインバッファメモリの必要な各番地に書込む前景書込工程と、

を含み、ラインバッファメモリ内にて背景及び前景信号の両者を合成可能にしたことを特徴とする映像表示信号の合成方法。

(2) 特許請求の範囲(1)記載の方法において、複数のラインバッファメモリを用い、各ラインバッファメモリへの映像情報読出及び背景書込工程と前景書込工程とを交互に行うことを特徴とする映像表示信号の合成方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は映像表示信号の合成方法、特に背景信号と前景信号の両者を合成する映像表示信号の合成方法に関する。

従来技術

従来より、複数の映像を合成しこれをCRT上に表示する信号の合成方法が周知であり、例えば第1図に示すごとく、道路を表わす背景100上に車両を表わす前景110を重ね合せ両者を合成した映像120をCRT上に表示することができ、各種の映像装置に幅広く用いられている。

このような映像の合成は、背景100及び前景110の水平走査信号成分をCRTのラスタ走査に同期して合成することにより行われる。

第2図にはこのような信号の合成を行う従来の信号合成装置が示されており、この信号合成装置は、ラインバッファメモリ10及び合成回路12を用い、前景信号を一旦ラインバッファメモリ10

内に記憶しておき、このラインバッファメモリ10に記憶された前景信号を脱出し合成回路12にて背景信号と合成している。

ここにおいて、前記ラインバッファメモリ10は、CRTの前景用の一水平走査信号成分を記憶する高速メモリであり第3図に示すごとく、使用するCRTの水平方向画素に対応した番地を0番地からn番地まで有している。第4図には、従来のラインバッファメモリ10の書き込み脱出作用が示され、書き込み期間信号が「H」の状態を入力される前景信号をCRTの表示位置に対応した所定番地、例えばk~k+2の範囲の番地に書き込まれる(a)。

書き込み期間信号が「L」に切替るまでに所定の書き込みが完了し、この後ラインバッファメモリ10の脱出しが開始されるが、この時マルチプレクサ16はその出力を書き込み時の前景信号から消去信号へ切替る。従つて、前述の如く書き込まれた情報は合成回路12において背景信号と合成するために脱出される。この脱出は番号の若い順から0番地、1番地、2番地、…の順に行われる(b)。

力し、映像検出回路20がラッチ回路18からの前景信号の出力を検出した際にのみ背景信号に変え前景信号を選択的に出力している。このようにして、この合成回路12は、背景信号上に前景信号を重ね合せた映像信号を合成し、信号処理回路24に向け出力している。

従つて、このような装置を用い、例えば第1図に示すとき車道を表わす背景100を背景信号としてマルチプレクサ22に入力し、また前記背景の車道上を走行する車両を表わす前景110を前景信号としてマルチプレクサ16に入力すれば、両信号はCRTのラスト走査に同期して順次合成され、CRT上には車道上を走行する車両を表わす映像120を表示することができる。

しかし、このような従来の装置では、信号の合成に多くの回路を必要とし、装置全体が複雑となりしかも高価となる欠点があつた。

発明の目的

本発明は、このような従来の課題に鑑みなされ

このようにして情報が脱出されると、脱出された情報は最早不要となるため、第4図に示す信号消去のタイミング(c)に合わせて、各番地にはマルチプレクサ16を介して消去信号が書き込まれ、先に書き込まれた情報が順次クリアされていく。第4図において、aは前景信号書き込み時間、bは前景信号脱出時間、cは消去信号書き込み時間を表わしている。

そして、このようにしてラインバッファメモリ10から脱出される情報は1番地ずつラッチ回路18にラッチされ、その後前景信号として合成回路12に向け出力される。

この合成回路12は、一般にラッチ回路18から前景信号が出力されているか否かを検出する映像検出回路20と、この映像検出回路20の指示により前景信号又は背景信号の入力を選択的に出力するマルチプレクサ22により形成されている。そして、前記マルチプレクサ22には背景信号及びラッチ回路18から出力される前景信号の双方が入力されており、通常は背景信号を選択的に出

たものであり、その目的は、背景信号及び前景信号の両者を簡単かつ安価な装置を用いて合成することの可能な映像表示信号の合成方法を提供することにある。

発明の構成

上記目的を達成するため、本発明の方法は、ラインバッファメモリの各番地に書き込まれている背景信号及び前景信号を含む映像情報を脱出し映像表示信号として出力するとともに当該番地毎に次に表示する背景の背景信号を順次書き込みながらラインバッファメモリをアクセスする映像情報脱出及び背景書き込み工程と、

所定の前景信号をラインバッファメモリの必要な各番地に書き込む前景書き込み工程と、

を含み、ラインバッファメモリ内にて背景及び前景信号の両者を合成可能としたことを特徴とする。

実施例

次に本発明の好適な実施例を図面にに基づき説明する。なお、前記第2図に示す従来例と対応する部材には同一符号を付しその説明は省略する。

第5図には本発明の映像表示信号の合成方法を適用する装置の好適な実施例が示されている。

この装置においては、背景信号または前景信号が所定のタイミングチャートに従いマルチプレクサ16により選択されてラインバッファメモリ10に入力され、アドレスカウンタ14により指定される所定の番地に順次映像情報として書き込まれていく。

このようにして、ラインバッファメモリ10に書き込まれた映像情報は読出し動作に入ると読出されラッチ回路18によりCRTのラスト画像走査に同期して番号の若い番地から順番にラッチされ、映像表示信号として信号処理回路24に入力される。このようにして、信号処理回路24に入力された信号はここで所定の映像処理を施され、CRT上に表示される。

従つて、以上のような映像情報読出及び背景書き込み工程と、前景書き込み工程と、を順次繰返して行えば、ラインバッファメモリ10内には背景信号上に前景信号を重ね合せて合成した映像情報が順次書き込まれ、その映像情報は次の映像情報及び読出背景書き込み工程にて順次読出され、背景及び前景を合成した映像がCRT上に表示されることとなる。

第6図には本発明の方法の一実施例を示すタイミングチャートが示されている。同図において、aは前景信号書き込み時間、dは合成信号読出時間、eは背景信号書き込み時間を表わしている。

まず、映像情報読出及び背景書き込み工程においては、標体書き込み区間信号によりマルチプレクサ16にて背景信号が選択されラインバッファメモリ10に入力される。これと同時に、アドレスカウンタ14がリセットされラインバッファメモリ10の番地が、番号の若い順からn番地に向け、0番地、1番地、2番地、…と順次指定されていく。

そして、このようにアドレスカウンタ14によりラインバッファメモリ10の番地が指定される

本実施例の装置は以上の構成から成り、次にこの装置を用いて行う本発明に係る映像表示信号の合成方法について説明する。

本発明の特徴的事項は、ラインバッファメモリ10内にて背景信号及び前景信号の両者を合成可能としたことにある。

このため、本発明においては、ラインバッファメモリ10内への背景信号及び前景信号の書き込みを次の手順に従って行っている。

すなわち、背景信号の書き込みは、ラインバッファメモリ10の各番地に既に書き込まれている背景信号及び前景信号を含む映像情報を読出し映像表示信号として出力するとともに当該番地毎に次の水平走査にて表示する背景信号を順次書き込みながらラインバッファメモリ10の映像情報読出及び背景書き込み工程にて行われる。

そして、前景信号の書き込みは、前記映像情報読出及び背景書き込み工程終了後、所定の前景信号をラインバッファメモリ10の必要な各番地に前記映像情報に重ねて書き込む前景書き込み工程にて行われる。

と、指定番地からは既に書き込まれている映像情報が1番地毎に1サイクルの前半dにおいて読出され映像表示信号として出力されるとともに、この映像情報の読出終了と同時に1サイクルの後半eにおいて当該指定番地にはマルチプレクサ16を介して入力される背景信号の書き込みが行われる。

本実施例においては、アドレスカウンタ14の指示に従いラインバッファメモリ10を0番地～n番地に向け映像情報を読出した背景を書き込みn番地迄のアクセスが終了した時点で映像情報読出及び背景書き込み工程を終了する。従つて、この映像情報読出及び背景書き込み工程が終了すると、ラインバッファメモリ10の各番地には例えば第7図に示すごとき背景信号が映像情報として記憶されることになる。

そして、この映像情報読出及び背景書き込み工程が終了すると、これと同時に前景書き込み工程が開始される。

実施例においては、標体書き込み区間信号が「H」になるとこの前景書き込み工程が開始され同時に、マ

マルチプレクサ16が切替りラインバッファメモリ10に前景信号を入力するとともに、アドレスカウンタ14により前景信号の番地番地が指定される。これにより、アドレスカウンタ14により指定された各番地には、前記背景信号に重ねて前景信号が番地記憶されることになる。前記アドレスカウンタ14のアドレス設定は水平位置データにより行なわれる。

従つて、例えば第7図に示すごとく、アドレスカウンタ14によりk番地～k+4番地の間が前景信号の番地番地として指定されると、これら各番地には新たに入力される前景信号が映像情報として順次番地記憶されることになる。

このようにして、前記番地工程が終了すると、ラインバッファメモリ10の各番地内に記憶されている情報は背景及び前景信号の両者を合成した情報となる。

従つて、本発明の表示信号の合成方法によれば、車道等を表わす背景100を背景信号としてマルチプレクサ16に入力するとともに、車両を表わ

す前景110を前景信号として同様にマルチプレクサ16に入力すれば、これら背景及び前景信号はラインバッファメモリ10内にて合成され、

CRT上には前記背景100及び前景110が合成された映像120、すなわち前景100に描かれた車道上を前景110に表わされた車両が走行する映像をCRT上に表示することができる。

このように、本発明の映像表示信号の合成方法によれば、ラインバッファメモリ10内にて背景及び前景信号の両者を合成することができるため、第2図に示す従来装置に用いられていた合成回路12が不要となり、信号の合成を簡単でかつ安価な装置を用いて行うことが可能となる。

尚、本発明においては背景信号が無信号の場合も含まれ、この場合には實際上背景信号と前景信号との重ね合せは行われず、単に所定の前景信号をラインバッファメモリの必要な各番地に書き込みこれを読み出すのみで映像表示信号を作成することができる。例えば、背景信号が表示画面全域にはなく、この空き部分(無信号部分)に前景信号を

嵌め込み、あるいは、背景信号中の前景信号該当部のみを空け(無信号とし)ここに前景信号を嵌め込むことも可能であり、この様に画面作成上は背景信号と前景信号とが重ね合されない場合であっても、本発明の合成方法は適用される。

次に本発明の映像表示信号の合成方法を適用した具体的な実施例について説明する。

実施例1

本実施例の装置は、例えば第8図に示すような背景上に第9図に示すような複数の移動標体から成る前景を合成し、第10図に示すようなゲーム画像を合成するものである。

第11図にはこのような映像の合成を行う本実施例の映像表示回路が示されている。

実施例の装置では、CRTの水平走査期間に合わせて映像情報読出及び背景番地工程を行い、背景信号出力回路30から第8図に示す背景を表わす背景信号をマルチプレクサ16に入力するとともに、CRTの水平帰線消去期間に合わせて前景番地工程を行い、前景信号出力回路32から例えば第

9図の前景を表わす前景信号をマルチプレクサ16に向け入力している。

ここにおいて、実施例の装置で使用される前景はゲームを構成する複数の移動標体を表わすものであり、これら各移動標体はその種類、個数及び表示位置がゲームの進行に合わせて随時変化するものである。

これに対し、実施例の装置で使用される背景は既にその内容が定められており、前述した前景に合せた背景が、背景メモリ31内に記憶されておりCRTの走査のタイミングに合わせて背景信号出力回路30を介して出力される。

以下に、実施例に用いられる回路について詳述する。

(1) 標体メモリへの情報の設定

CRT上に所定の背景及び前景を合成したゲーム画像を表示するにあたり、その前景情報、すなわち移動標体を表わす情報を設定してやる必要となる。

実施例の装置においては、プログラムメモリ36

内に予め設定された所定のプログラムが記憶されている。そして、このプログラムメモリ36から出力される所定のプログラム信号及びビデオゲームのプレーヤーが外部から入力する外部入力信号 S_1 に基づき、CPU34は、単数もしくは複数のプレーヤーによつて操縦される移動標体並びにプログラムによつて自動的に操縦される移動標体に関するデータを演算出力する。このデータは各標体毎に、その標体を特定する標体識別データ、色彩を特定する彩色識別データ、表示位置を特定する垂直位置データ及び水平位置データの4つのデータから成立っている。

そして、CPU34は各標体1～nについての前記4種のデータを、上記プレーヤーからの入力信号 S_1 あるいはプログラムメモリ36からのプログラム信号に基づいて、データバス38a及びアドレスバス38bを介して標体メモリ40に1画面を構成する全ての標体について書込記憶させる。

この書込は、標体メモリ40への番地の開始に伴いCPU34からスイッチ42に向け書込信号

S_2 を出力し、スイッチ42にCPU34側のアドレスを選択させることにより開始される。そして、このようにスイッチ42によりCPU34から出力されるアドレスが選択されると、標体メモリ40にはCPU34から出力される番地アドレスに従い各標体毎に、すなわち標体1、標体2、…標体n毎にデータが書込記憶される。

(2) ラインバッファメモリへの背景信号の書込

前述したごとく、移動標体を表わす映像情報がラインバッファメモリ10へ設定され標体書込区間信号が「L」になると、前記映像情報読出及び背景書込工程が開始される。

すなわち、標体書込区間信号が「L」にきりかわりCRTの水平走査が開始されると、これと同時にアドレスカウンタ14は後述する同期信号発生回路46から出力されるリセット信号によりリセットされラインバッファメモリ10の番地が0番地から順にn番地に向け、0番地、1番地、2番地、…と指定されていく。このようにしてラインバッファメモリ10の各番地が指定されると、指定された各番地からは既に書込まれ

ている映像情報が読み出されこれと同時に背景信号出力回路30からマルチプレクサ16を介して当該指定番地に次に表示する背景信号が書込まれる。そしてラインバッファメモリ10より読み出された映像情報はラッチ回路18によりラッチされ映像表示信号として、信号処理回路に向け出力される。

このような映像情報読出及び背景書込はラインバッファメモリ10の0番地からn番地に向け各番地毎に行われるため、ラインバッファメモリ10の各番地に記憶されている背景及び前景から成る走査線1本分の映像情報はCRT上にラスター画像表示され、これと同時にラインバッファメモリ10の各番地には背景信号出力回路30から出力される次に表示する背景信号が書込記憶されることになる。

(3) ラインバッファメモリへの前景信号の書込

前述したごとく、ラインバッファメモリ10内に前景信号が書込まれ、標体書込区間信号が「H」になると、次にラインバッファメモリ10に対す

る前景書込工程がCRTの水平帰線消去期間に合わせて行われる。すなわち、先に書込まれた背景の必要な番地に前景信号が書込まれて行く。

実施例の装置においては、このような装置内に組込まれた各メモリへの書込又は読出、その他の全体的な制御を行うため、同期信号発生回路46が設けられており、この発生回路46はクロック、プリセット信号、リセット信号、標体書込区間信号、等その他、通常のカラーテレビジョンの映像表示に伴う信号に対応する同期信号（垂直及び水平同期信号）、消去信号E、複合ブランキング信号B、複合同期信号Cを出力している。

そして、前述した様に標体メモリ40への標体1～標体nのデータの書込が終了すると、CPU34からスイッチ42に入力される書込信号 S_2 がオフされ、スイッチ42が同期信号発生回路46から出力される読出アドレスを選択する。

このように、スイッチ42は、CPU34から書込信号 S_2 の入力があつた時はCPU側の書込アドレスを選択し、CPU34からの書込信号 S_2 が

オフされた時は同期信号発生回路46から出力される読出アドレスを選択し、標体メモリ40に入力する。この標体メモリ40の書き込みまたは読出アドレスは、いずれの場合にも標体識別番号1～nに対応している。

このように、実施例では標体メモリ40にn個の移動標体に関するデータが記憶されており、CRT上にはn個の移動標体を表示することが可能である。ここにおいて、標体メモリ40に記憶された各標体1～nの読出は、まず最初に標体1に関する垂直位置データ D_1 、標体識別データ D_2 、彩色識別データ D_3 、水平位置データ D_4 が順次読出され、次に標体2に関するデータ、標体3、…標体nに関するデータが同様に順次読出され、標体信号出力回路32に入力される。

ここにおいて、この標体信号出力回路32は、標体の垂直位置データ D_1 と同期信号発生回路46より出力される垂直同期信号により次にその標体が表示可能か否かを判定し、表示可能と判定した場合には標体書き込み信号をラインバッファメモリ10

に向け出力する。これと同時に、該標体のデータを前景信号としてマルチプレクサ16を介してラインバッファメモリ10に入力し、アドレスカウンタ14内に垂直位置データ D_4 によりプリセットされた所定アドレスに書き込む。

また、標体信号出力回路32が、その標体が表示できないと判定した場合には、標体書き込み信号を出力せず、次の標体が表示可能か否かの判定に移項する。

以上が1番目の標体に関して、標体メモリ40の読出から前景信号のラインバッファメモリ10への書き込み動作であるが、実施例の装置においては、これらの動作が引続き、2番目の標体からn番目の標体についてCRTの水平帰線消去期間内に繰返して行われる。この時、2番目以降の標体の前景信号がそれ以前にラインバッファメモリ10内に予め書き込まれている標体の前景信号と重なった場合には、後の信号は先にラインバッファメモリ10内に書き込まれている前景信号の上に重ねて書き込まれる。この書き込みは、前景信号の実効色部分

のみ書き込みが行われ、透明部分の書き込みは行われない。

(4) 表示信号の合成完了

以上のように、背景信号出力回路30から出力される第8図に示す背景信号が映像情報読出及び背景書き込み工程にてラインバッファメモリ10内に背景が書き込まれ、これに続いて前景信号出力回路32から出力される第9図に示す前景信号が前景書き込み工程にてラインバッファメモリ10の必要な各番地に前記映像情報に重ねて書き込まれ、ラインバッファメモリ10内にて背景及び前景信号の両者が合成されることになる。

(5) ラインバッファメモリからの映像情報の読出

このようにして、ラインバッファメモリ10内における信号の合成が行なわれ、標体書き込み間信号が「H」から「L」へ切りかわると、次の映像情報読出及び背景書き込み工程が開始され既に書き込まれた映像情報の読出と新たな背景の書き込みが開始される。

ここにおいて、ラインバッファメモリ10からの映像情報の読出は、同期信号発生回路46から

出力されるリセット信号によりアドレスカウンタ14がリセットされた後、クロックKに同期して番号の若い番地から順に0番地、1番地、…とn番地に向け各番地毎に行なわれる。そして、読出された情報は一担ラッチ回路18でラッチされた後映像表示信号として信号処理回路24に入力する。

実施例において、このようにして読出される情報は色彩を\$0乃至\$Fの16進表記をもつて表わされている。このため、実施例の信号処理回路24では、予めこれら16進表記と対応する色情報が入力されているカラーROM24aを有しており、ラッチ回路18から入力される信号を基にしてこれと対応する色信号をカラーROM24aから読出し、DA変換回路24bを介してCRTに入力する。

これにより、CRT上には、第8図に示す背景及び第9図に示す前景が合成された第10図に示すカラー映像が表示されることになる。

なお、このようにしてラインバッファメモリ10

から背景及び前景信号の合成情報の読出が行われる映像情報読出及び背景書込工程においては、背景信号出力回路30から出力される次回走査用の背景信号がラインバッファメモリ10に同時に書込まれている。

なお、第11図に示す前記実施例では、アドレスカウンタ14及びラインバッファメモリ10を単に1組しか設けていないため、ラインバッファメモリ10内への前景信号の書込を行う前景書込工程がCRTの水平帰線消去期間内に限られてしまう。

このCRTの水平帰線消去期間は比較的短時間であるため、この水平帰線消去期間内にラインバッファメモリ10内へ書込記憶できる移動標体に関するデータも比較的限定されたものとなつてしまい、この結果、CRT上には水平帰線消去期間によつて限定される個数の移動標体しか表示できないことになる。

このような問題は、ラインバッファメモリ及びアドレスカウンタを少なくとも2組設け、各組のラ

10に対する前景書込工程とを同時に行うことを可能とするものである。

従つて、本実施例の装置によれば、ラインバッファメモリ10への前景信号の書込がCRTの水平帰線消去期間内に限定された前記実施例の装置に比し、前景の書込時間を水平帰線消去期間に比し、比較的長時間である水平走査期間の分だけ余分にとることができるため、1回の前景書込動作でラインバッファメモリ10に書込む情報量が極めて多くなり、従来の装置に比しCRT上に多くの移動標体を表示することができる。

ここにおいて、実施例の装置では各ラインバッファメモリ10A、10Bを交替的に使用するため、各ラインバッファメモリ10A、10Bの入力段に入力選択用のマルチプレクサ16A、16Bをそれぞれ設け、かつその出力段にマルチプレクサ62を設けている。

これら各マルチプレクサ16A、16B、62は、同期信号発生回路46からCRTの水平走査に同期して出力される切替信号Pに応じてその入

インバッファメモリに対する映像情報読出及び背景書込工程と前景書込工程とを標体書込区間信号に同期して交互に切替ることにより解消することが可能であり、以下にその好適な実施例を説明する。

実施例2

第12図には本発明に係る映像表示信号の合成方法を適用する好適な実施例が示されており、第13図及び第14図にはそのタイミングチャートが示されている。第13図において、0S、1S、2S、3S、…は水平走査期間を、そして1B、2B、3B、…は水平帰線消去期間を示している。

実施例の装置は、アドレスカウンタ14及びラインバッファメモリ10を2組設け、各組のラインバッファメモリ10に対する映像情報読出及び背景書込工程と前景書込工程とを図13に示す、切替え信号Pにより交互に切替、これにより、少なくともCRTの水平走査期間内で一方の組のラインバッファメモリ10に対する映像情報読出及び背景書込工程と他方の組のラインバッファメモリ

出力端子をラインバッファメモリ10A側にまたラインバッファメモリ10B側に交互に切替るようになっている。

従つて、図13に示す様に本実施例の装置では、ラインバッファメモリ10Aに対し映像情報読出及び背景書込工程が行われている場合には、他の組のラインバッファメモリ10Bに対し前景書込工程が行われ、これとは逆にラインバッファメモリ10Bに対する映像情報読出及び背景書込工程が行われている場合にはもう一方のラインバッファメモリ10Aに対し前景書込工程が行われることになる。

以上の工程の切りかえはアドレスカウンタ70A、70Bのプリセット、リセットを切りかえるプリセット用スイッチ72及びリセット用スイッチ74によつて行なわれている。

このように本実施例の装置では、ラインバッファメモリ10Bに対する前景書込工程を十分な時間的余裕をもつて行うことができるため、1回の前景書込工程にて多くの移動標体の書込を行うこ

とが可能となる。

なお、前記実施例1の装置では背景が固定されているが、この実施例2の装置では、プログラムメモリ36内にCPU34の指示に従い背景信号を出力するプログラムがセットされており、該プログラムに従い背景メモリ31内に背景に関するデータ信号及びアドレス信号が入力されている。このため、本実施例の装置では、前景と対応したあるいは前景と係りなく所望の背景をCRT上に表示することができる。

なお、前記実施例1、実施例2においてはいずれもビデオゲームにおける移動標体を前景信号として背景信号に合成するものを示したが、本発明の映像表示信号の合成方法はこれに限らず、各種の背景及び前景信号の合成に幅広く用いることが可能である。

発明の効果

以上説明したように、本発明の方法によれば、背景及び前景信号の両者の合成をラインパツファ

メモリ内にて行うことができるため、背景及び前景の合成に用いる装置を簡単な構成でかつ安価なものとする事が可能となる。

4. 図面の簡単な説明

第1図は合成される映像の説明図、

第2図は従来映像表示信号の合成装置の回路図、

第3図は第2図に示す装置に用いられるラインパツファメモリの説明図、

第4図は第2図に示す従来装置のタイミングチャート図、

第5図は本発明の映像表示信号の合成方法を用いる装置の好適な実施例を示す回路図、

第6図は第5図に示す装置のタイミングチャート図、

第7図は第5図に示すラインパツファメモリ10の説明図、

第8図及び第9図は互いに合成される背景及び前景の説明図、

第10図は第8図及び第9図を合成した映像の

説明図、

第11図は本発明の方法をビデオゲームに適用した場合の装置を示す回路図、

第12図は本発明の方法をビデオゲームに適用する他の装置を示す回路図、

第13及び14図は第12図に示す装置のタイミングチャート図である。

10…ラインパツファメモリ、

30…背景信号出力回路、

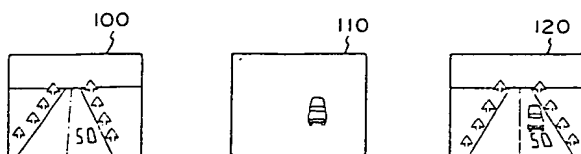
32…前景信号出力回路、

100…背景、

110…前景、

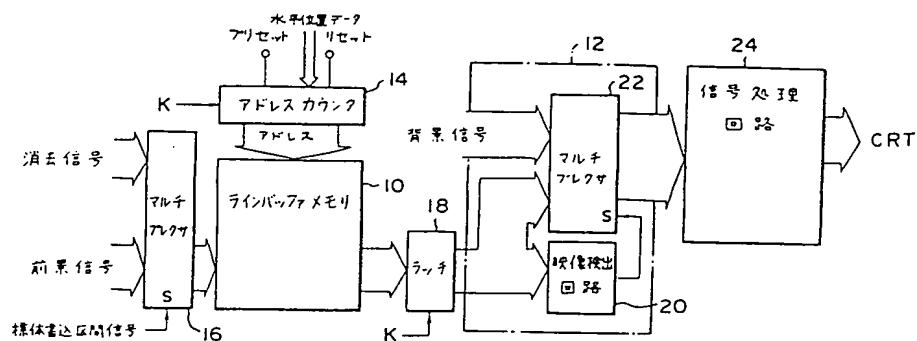
120…合成された映像。

第 1 図

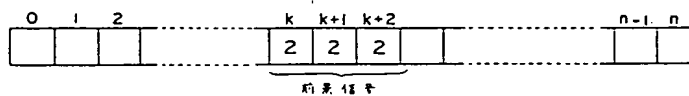


代理人 弁理士 吉 田 研 二
(外 1 名)

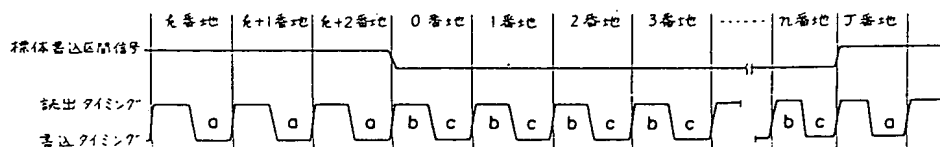
第 2 図



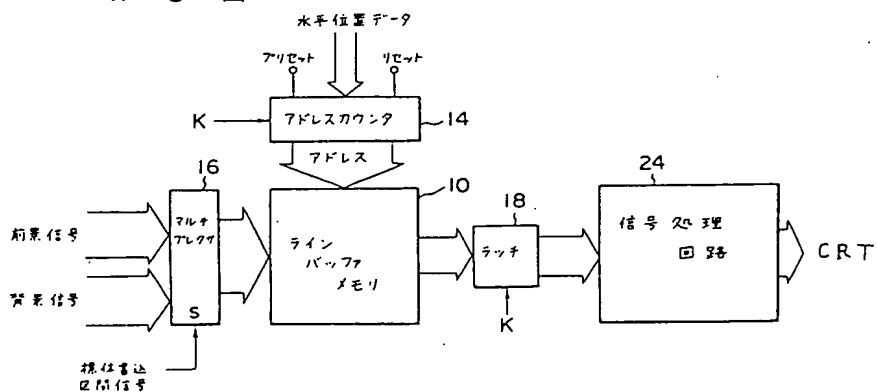
第 3 図



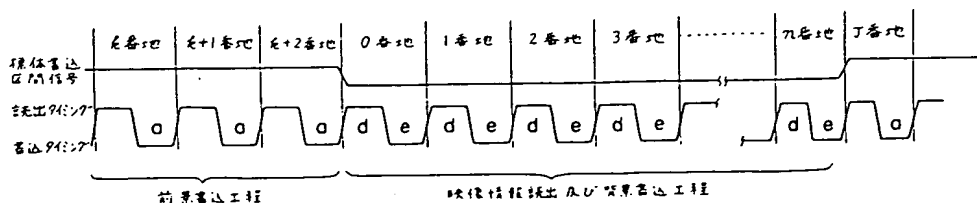
第 4 図



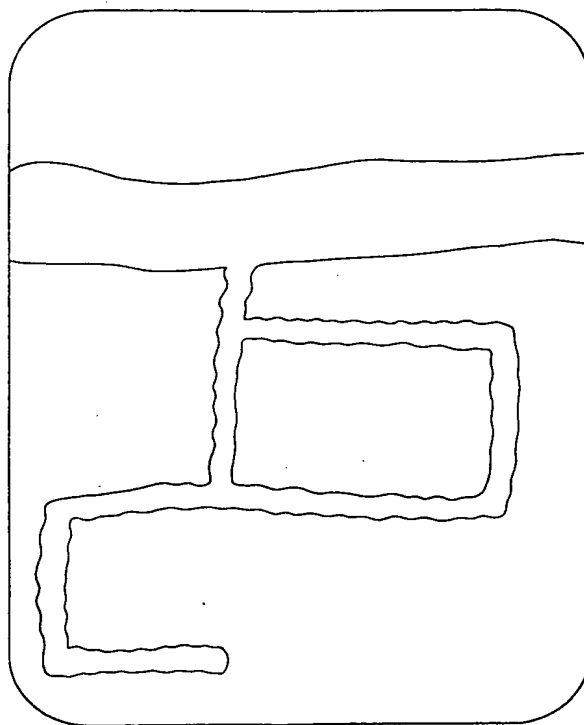
第 5 図



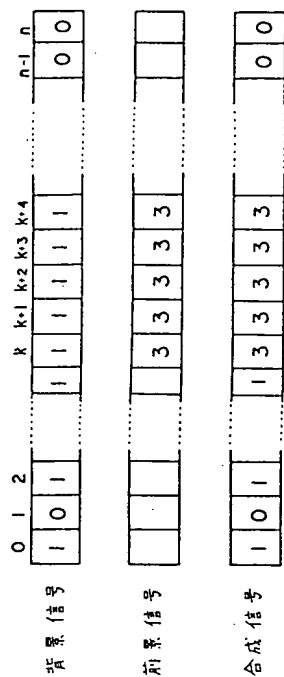
第 6 図



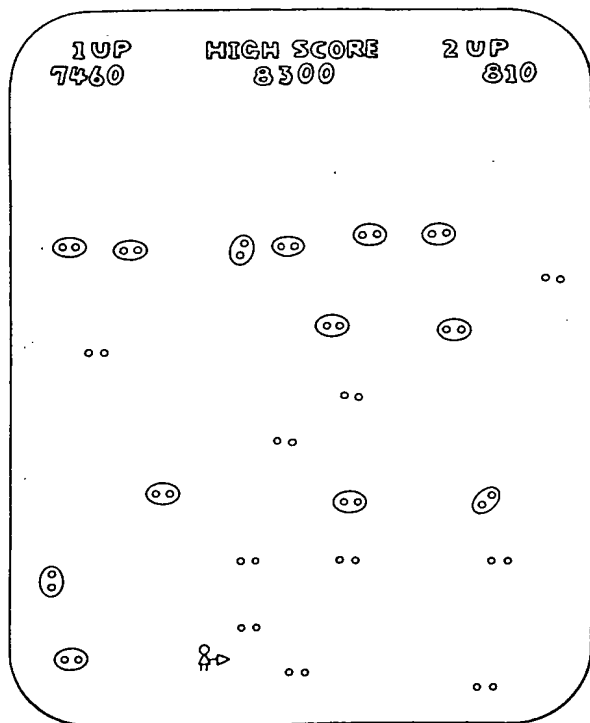
第 8 図



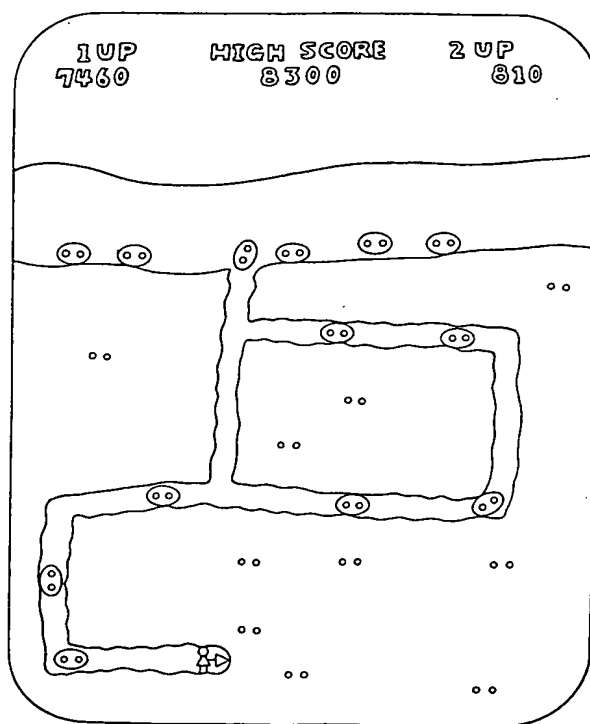
第 7 図



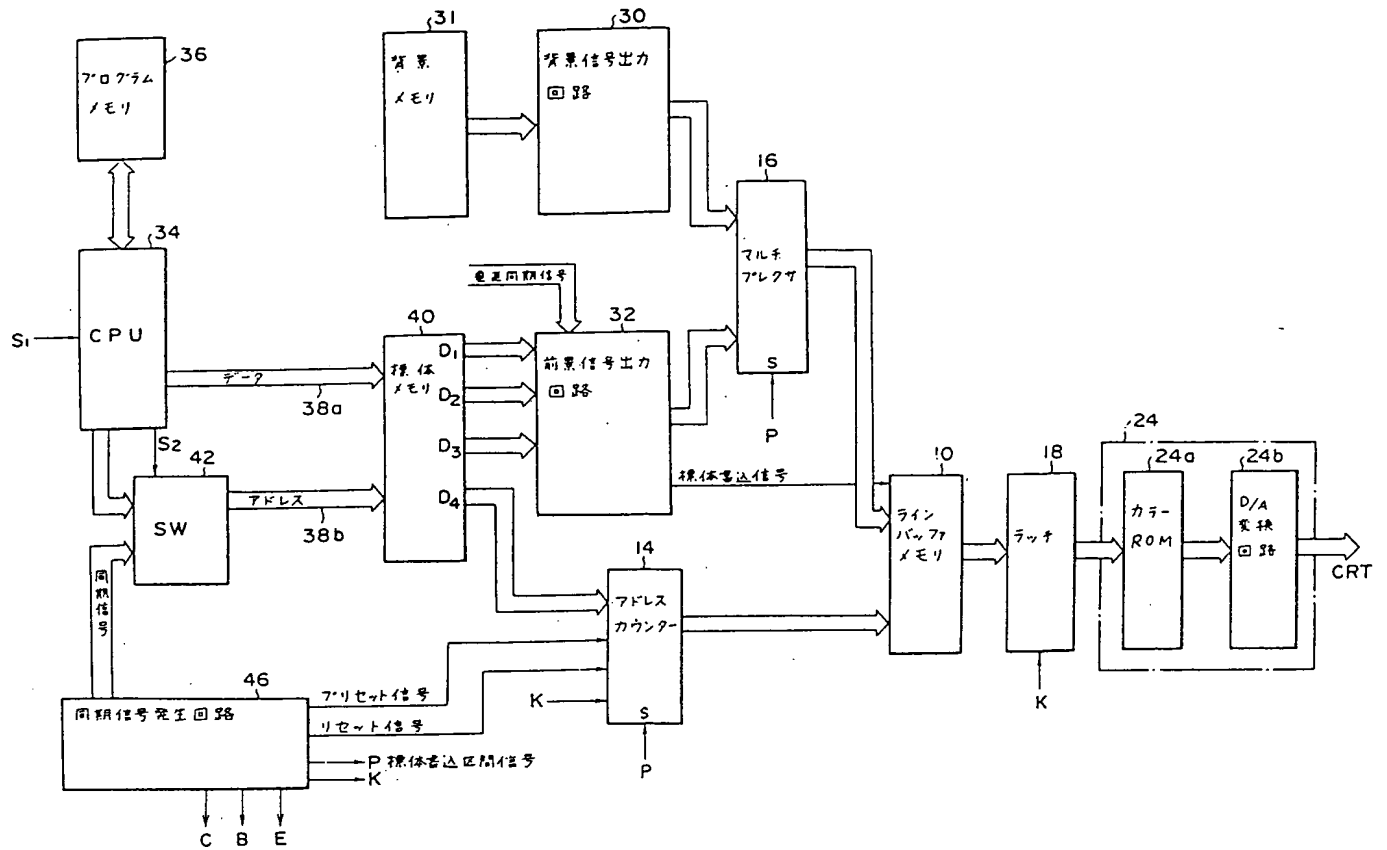
第 9 図



第 10 図



第 11 図



第 12 図

